



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月17日

出願番号 Application Number: 特願2003-071955

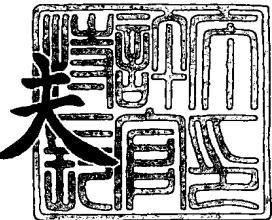
[ST. 10/C]: [JP2003-071955]

出願人 Applicant(s): セイコーエプソン株式会社

2003年12月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康





【書類名】 特許願
【整理番号】 EP-0445101
【提出日】 平成15年 3月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 龍澤 照夫
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 安食 嘉晴
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成14年度新エネルギー・産業技術総合開発機構極低電力情報端末用LSIの研究開発に係る委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁層と該絶縁層の上に設けられた単結晶シリコン層とを有する基板を準備する工程と、

前記単結晶シリコン層の上に、該単結晶シリコン層とは格子定数が異なる歪み促進半導体層を形成する工程と、

前記単結晶シリコン層の格子を前記歪み促進半導体層の格子に整合させることにより、歪みシリコン層を形成する工程と、

前記歪み促進半導体層を除去する工程と、を含む、半導体装置の製造方法。

【請求項 2】 請求項 1 において、

前記歪みシリコン層を形成する工程は、熱処理を施すことにより行なわれる、半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、

前記単結晶シリコン層は、前記歪み促進半導体層の上に単結晶シリコン層を形成したときに欠陥を発生することなく該単結晶シリコン層を形成することができる膜厚より小さい膜厚を有する、半導体装置の製造方法。

【請求項 4】 請求項 1～3 のいずれかにおいて、

前記歪み促進半導体層として、ゲルマニウムを含む層を形成する、半導体装置の製造方法。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記歪み促進半導体層の除去は、沸硝酸を用いたウェットエッチングにより行なわれる、半導体装置の製造方法。

【請求項 6】 請求項 1～5 のいずれかにおいて、

前記歪み促進半導体層を形成する工程は、有機金属気相成長法、分子線成長法および超高真空气相成長法のいずれかの方法により行なわれる、半導体装置の製造方法。

【請求項 7】 請求項 2～6 のいずれかにおいて、

前記熱処理は、昇温過程、定温過程、降温過程を経て行なわれる、半導体装置の製造方法。

【請求項8】 請求項1～7のいずれかに記載の半導体装置の製造方法により製造された半導体基板を含む、半導体装置。

【請求項9】 絶縁層と該絶縁層の上に設けられた歪みシリコン層と、を含む半導体基板と、

前記半導体基板に設けられた電界効果型トランジスタと、を含む、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、歪みシリコン層を有する半導体素子を備えた半導体装置およびその製造方法に関する。

【0002】

【背景技術】

近年の半導体装置の微細化および高速化に伴い、高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として、歪みシリコン層（strain ed silicon layer）を有する基板が注目されている。歪みシリコン層は、たとえば、シリコン（Si）とゲルマニウム（Ge）からなる層（Si Ge層）をシリコン基板上に成長させ、その上にシリコン単結晶層を成長させることにより得られる。このような歪みシリコン層は、そのバンド構造が変化し、その結果、縮退が解けて電子散乱が抑制されるので、電子移動度を高めることが可能となる。

【0003】

また、シリコン基板中に埋め込み酸化膜（Buried Oxide）を有するSOI（Silicon on insulator）基板もまた、高速かつ低消費電力の半導体装置を形成するための基板として注目されており、実用化が進んでいる。そして、近年では、半導体装置のさらなる微細化および高速化の要請に応えるために、歪みシリコン層を含むSOI構造を形成する技術が提案されて

いる（特許文献1参照）。

【0004】

【特許文献1】

特開平9-321307号公報

【0005】

【発明が解決しようとする課題】

上述したように歪みシリコン層を有するSOI基板を形成する場合、まず、SOI基板の半導体層の上にシリコンゲルマニウム混晶層が形成される。ついで、シリコンゲルマニウム混晶層の上に単結晶シリコン層を形成することで、歪みシリコン層が得られる。この方法では、SOI基板の半導体層とシリコンゲルマニウム混晶層との格子整合によりミスフィット転移や、貫通転移が発生したシリコンゲルマニウム層が形成されることがある。このような転移欠陥を含むシリコンゲルマニウム混晶層の上に歪みシリコン層を形成すると、歪みシリコン層中に欠陥が引き継がれてしまい、良好な電界効果型トランジスタを形成することができない。そのため、膜厚の大きいシリコンゲルマニウム混晶層を形成する必要があり、シリコンゲルマニウム混晶層の結晶成長に長時間を要することとなってしまう。

【0006】

また、寄生容量の低減などのSOI基板の効果を得るために、SOI基板のSOI層の厚みは、電界効果型トランジスタのソース／ドレイン領域の拡散深さ以下である必要があるが、上述したような厚いシリコンゲルマニウム混晶層を形成した後に、歪みシリコン層を形成したのでは、SOI基板の効果を享受できないという問題が生じる。また、酸素イオンを高濃度に注入する工程を用いた場合、歪みシリコン層に少なからずダメージを与えてしまうことがある。

【0007】

本発明の目的は、より簡易な工程でダメージの少ない歪みシリコン層を含むSOI構造を有する半導体装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

(1) 本発明の半導体装置の製造方法は、絶縁層と該絶縁層の上に設けられた单結晶シリコン層とを有する基板を準備する工程と、

前記单結晶シリコン層の上に、該单結晶シリコン層とは格子定数が異なる歪み促進半導体層を形成する工程と、

前記单結晶シリコン層の格子を前記歪み促進半導体層の格子に整合させることにより、歪みシリコン層を形成する工程と、

前記歪み促進半導体層を除去する工程と、を含む。

【0009】

本発明の半導体装置の製造方法によれば、单結晶シリコン層の上に、歪み促進半導体層を形成した後に、单結晶シリコン層の格子が歪み促進半導体層の格子に整合するように格子緩和を促すことで、歪みシリコン層を形成することができる。すなわち、单結晶シリコン層の上に歪み促進半導体層を形成した後に、格子緩和を促す処理を行なうことで、歪み促進半導体層の格子定数と整合するように单結晶シリコン層が格子緩和され、歪みシリコン層が得られる。背景技術の欄において説明した技術では、厚い膜厚のシリコンゲルマニウム混晶層（歪み促進半導体層）の上に、シリコン層を形成し歪みシリコン層を得ている。しかし、本発明によれば、そのような膜厚の大きい歪み促進半導体層を形成する必要がなく、より簡易な工程で歪みシリコン層を有するS O I 基板を形成することができる。さらに、薄膜の歪みシリコン層を得るために、寄生容量の低減などのS O I 基板特有の効果を發揮することができ、特性の良好な半導体装置を製造することができる。

【0010】

本発明は、さらに、下記の態様をとることができる。

【0011】

(A) 本発明の半導体装置の製造方法において、前記歪みシリコン層を形成する工程は、熱処理を施すことにより行なうことができる。

【0012】

(B) 本発明の半導体装置の製造方法において、前記单結晶シリコン層は、前記歪み促進半導体層の上に单結晶シリコン層を形成したときに欠陥を発生するこ

となく該単結晶シリコン層を形成することができる膜厚より小さい膜厚を有することができる。この態様によれば、良好に格子緩和がされた歪みシリコン層を形成することができる。

【0013】

(C) 本発明の半導体装置の製造方法において、前記歪み促進半導体層としてゲルマニウムを含む層をエピタキシャル成長法により形成することができる。この態様によれば、良好な歪み促進半導体層を形成することができる。

【0014】

(D) 本発明の半導体装置の製造方法において、前記歪み促進半導体層の除去は、沸硝酸を用いたウェットエッチングにより行なわれることができる。この態様によれば、ドライエッチング等によりゲルマニウムを選択的にエッチングする場合と比して、プラズマなどによるダメージを与えることを防ぐことができる。

【0015】

(E) 本発明の半導体装置の製造方法において、前記歪み促進半導体層を形成する工程は、有機金属気相成長法、分子線成長法および超高真空中気相成長法のいずれかの方法により行なわれることができる。

【0016】

(F) 本発明の半導体装置の製造方法において、前記熱処理は、昇温過程、定温過程、降温過程を経て行なわれることができる。

【0017】

(2) 本発明の半導体装置は、上述の半導体装置の製造方法により製造された半導体基板を含む。本発明の半導体装置によれば、歪みシリコン層をチャネル半導体層として用いる場合などに高速化が実現された半導体装置を提供することができる。

【0018】

(3) 本発明の半導体装置は、絶縁層と前記絶縁層の上に設けられた歪みシリコン層と、を含む半導体基板と、

前記半導体基板の上に設けられた電界効果型トランジスタと、を含む。本発明の半導体装置によれば、高速化および微細化が実現された半導体装置を提供する

ことができる。

【0019】

【発明の実施の形態】

1. 半導体装置

本発明の実施の形態にかかる半導体装置について、図1を参照しながら説明する。

【0020】

本実施の形態にかかる半導体装置は、SOI (Silicon on Insilicate) 構造を有し、MOSトランジスタ20がSOI基板100に形成されている。SOI基板100は、支持基板10上に、絶縁層（酸化シリコン層）12および歪みシリコン層14が積層されて構成されている。歪みシリコン層14は、格子緩和された層であり、その膜厚は、1～10nmである。

【0021】

歪みシリコン層14には、MOSトランジスタ20のゲート絶縁層22およびゲート電極24が形成されている。ゲート絶縁層22およびゲート電極24の側方には、サイドウォール絶縁層26が設けられている。サイドウォール絶縁層26の側方の半導体層10cには、不純物層からなるソース・ドレイン領域28が形成されている。そして、サイドウォール絶縁層26の下方の半導体層には、イクステンション領域30が設けられている。

【0022】

2. 半導体装置の製造方法

本発明の実施の形態にかかる半導体装置の製造方法について、図2～4を参照しながら説明する。

【0023】

(1) 図2に示すように、支持基板10の上に、絶縁層12と半導体層とが積層されたSOI基板を準備する。半導体層としては、単結晶シリコン層14aを用いる。単結晶シリコン層14aの膜厚は、後述の工程で、単結晶シリコン層14aの上に形成される歪み促進半導体層16を欠陥のない状態で形成できる膜厚であればよい。たとえば、歪み促進半導体層16として、シリコンゲルマニウム

混晶層を用いる場合、単結晶シリコン層14aの膜厚は、1～10nmとすることができる。単結晶シリコン層14aの膜厚が1nmより小さい場合、後に形成される歪みシリコン層をチャネル半導体層として用いる半導体素子の形成が困難となる。また、単結晶シリコン層14aの膜厚が10nmより大きい場合、後の工程にて単結晶シリコン層14aを歪み促進半導体層16に無欠陥の状態で格子整合することができない。

【0024】

ついで、単結晶シリコン層14aの上に、歪み促進半導体層16をエピタキシャル成長法により形成する。歪み促進半導体層16としては、単結晶シリコン層14aと格子定数が異なる半導体層を用いることができ、たとえば、ゲルマニウム層、シリコンゲルマニウム混晶層およびそれらの積層膜などを挙げることができる。

【0025】

歪み促進半導体層16の形成方法としては、①有機金属気相成長法（Metal Organic Chemical Vapor deposition；MOCVD法）、②分子線成長法（Molecular Beam Epitaxy；MBE法）、③超高真空気相成長法（Ultra High Vacuum Chemical Vapor Deposition；UHV-CVD法）あるいは④LPE（Liquid Phase Epitaxy）法等の液相成長法などによるエピタキシャル成長方法を例示することができる。

【0026】

Si原料としてはSiH₄、Si₂H₆、Si₂H₄Cl₂等、Ge原料としてはGeH₄、GeF₄、Ge₂H₈等が適している。

【0027】

(2) 次に、単結晶シリコン層14aの格子緩和を促すために熱処理を施し、歪みシリコン層14を得る。この単結晶シリコン層14aの格子緩和の様子を図3(A), (B)を参照しながら説明する。歪み促進半導体層16を構成するゲルマニウムの格子定数(5.64Å)と単結晶シリコン薄膜の格子定数(5.43Å)とは異なるため、単結晶シリコン層14aの上に歪み促進半導体層16が

堆積された後は、図3（A）に示すように、単結晶シリコン層14aと歪み促進半導体層16とで格子不整合が生じそれぞれの膜に応力が生じている。この後、熱処理を施すと、図3（B）に示すように、単結晶シリコン層14aのSi-Si結合あるいはSi-O結合が切断され、図3（B）に示すように、歪み促進半導体層16に格子整合した歪みシリコン層14が形成される。この熱処理の温度は、1000°C以上で行なわれ、処理時間は、単結晶シリコン層14aが格子整合され歪みシリコン層14が得られるまで行なえばよく、単結晶シリコン層14aの膜厚により適宜変更される。また、熱処理は、昇温過程、定温過程、降温過程を経て行なわれ、この一連の加熱工程を複数回繰り返して行なってもよい。

【0028】

(3) 次に、図4に示すように、歪み促進半導体層16を除去する。歪み促進半導体層16の除去は、ウェットエッティング、ドライエッティングなどの一般的なエッティング技術により行なうことができる。中でも、沸硝酸によるウェットエッティングにより歪み歪み促進半導体層16を除去することが好ましい。この場合は、ドライエッティングを行なう場合と比して半導体層14に与えるダメージを少なくすることができるという利点がある。以上の工程により、歪みシリコン層14を有するSOI基板100を形成することができる。

【0029】

(4) 次に、図1に参照されるように、本実施の形態かかるSOI基板100にMOSトランジスタ20を形成する。MOSトランジスタ20の形成は、一般的なMOSトランジスタ20の形成プロセスにより行なうことができ、以下にその一例について説明する。

【0030】

まず、MOSトランジスタ20の形成領域を画定するために、公知の技術により素子分離（図示せず）を形成する。次に、素子分離により画定された歪みシリコン層14の上にゲート絶縁層22を形成する。ゲート絶縁層22は、たとえば、熱酸化法により形成される。次に、しきい値電圧調整用の不純物イオンをゲート絶縁層22を介してチャネル領域に注入し、チャネル領域を形成する。

【0031】

次に、ゲート絶縁層22上にゲート電極24となる多結晶シリコン膜を減圧CVD法により形成した後、上記多結晶シリコン膜を反応性イオンエッチング(RIE)等の異方性エッチングによりパターニングして、ゲート電極24を形成する。

【0032】

次に、ゲート電極24をマスクにして、所定の導電型の不純物イオンを選択的に注入した後、低濃度不純物層からなるイクステンション領域30を自己整合的に形成する。この工程では、必要に応じて、アニール処理を施してもよい。

【0033】

次に全面にシリコン酸化膜またはシリコン窒化膜などの絶縁層(図示せず)をCVD法により形成した後、絶縁層をエッチバックすることによりゲート絶縁層22およびゲート電極24の側面にサイドウォール絶縁層26が形成される。ついで、サイドウォール絶縁層26をマスクとして、所定の導電型の不純物イオンを注入することにより、ソース・ドレイン領域28を自己整合的に形成する。このようにして、MOSトランジスタ20が形成され、本実施の形態にかかる半導体装置が製造される。

【0034】

本発明の半導体装置の製造方法によれば、単結晶シリコン層の上に、歪み促進半導体層を形成した後に、単結晶シリコン層の格子緩和を促すことで、歪みシリコン層を形成することができる。すなわち、単結晶シリコン層は、上方に形成された歪み促進半導体層の格子定数と整合するように格子緩和されることとなり、その結果、歪みシリコン層が得られる。背景技術の欄において説明した技術では、厚い膜厚のシリコンゲルマニウム混晶層(歪み促進半導体層)の上に、シリコン層を形成した後に格子緩和を促し歪みシリコン層を得ている。しかし、本発明によれば、そのような膜厚の大きい歪み促進半導体層を形成する必要がなく、より簡易な工程で、歪みシリコン層を有するSOI基板を形成することができる。さらに、薄膜の歪みシリコン層を得ることができるために、寄生容量の低減などのSOI基板特有の効果を發揮をすることができ、特性の良好な半導体装置を製造することができる。これにより、微細化を進めても期待通りの素子特性を有する

電界効果型トランジスタの実現が可能となる。

【0035】

なお、本発明は上述した実施の形態に限定されるものではない。例えば、上記実施の形態では、歪み促進半導体層として、シリコンゲルマニウム混晶層を用いた場合について説明したが、シリコンゲルマニウム混晶層の代わりに、SiCやSiN等のようにSiと他の元素との混晶層、ZnSe層等のII-VI族混晶層もしくはGaAsやInP等のIII-V族混晶層などの互いに格子定数の異なる材料からなる混晶層でも良い。

【0036】

また、上記実施の形態では、MOSトランジスタを形成する場合について説明したが、歪みシリコン層をチャネル半導体層として有する半導体装置であれば適用できる。

【図面の簡単な説明】

【図1】 本実施の形態にかかる半導体装置を模式的に示す断面図。

【図2】 本実施の形態にかかる半導体装置の製造工程を示す断面図。

【図3】 (A), (B) は、単結晶シリコン層と歪み促進半導体層との格子整合の様子を示す図。

【図4】 本実施の形態にかかる半導体装置の製造工程を示す断面図。

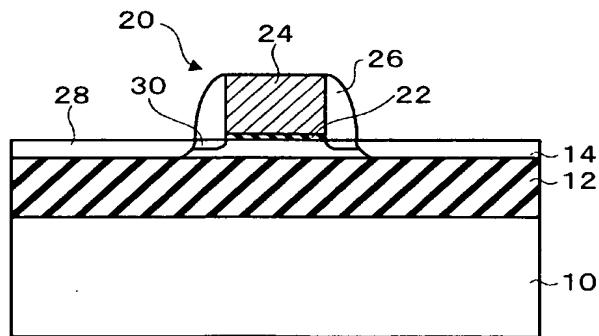
【符号の説明】

10…支持基板、 12…絶縁層、 14…歪みシリコン層、 14a…単結晶シリコン層、 16…歪み促進半導体層、 20…MOSトランジスタ、 22…ゲート絶縁層、 24…ゲート電極、 26…サイドウォール絶縁層、 28…ソース・ドレイン領域、 30…イクステンション領域、 100…SOI基板

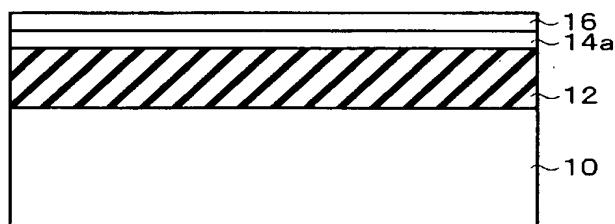
【書類名】

図面

【図1】

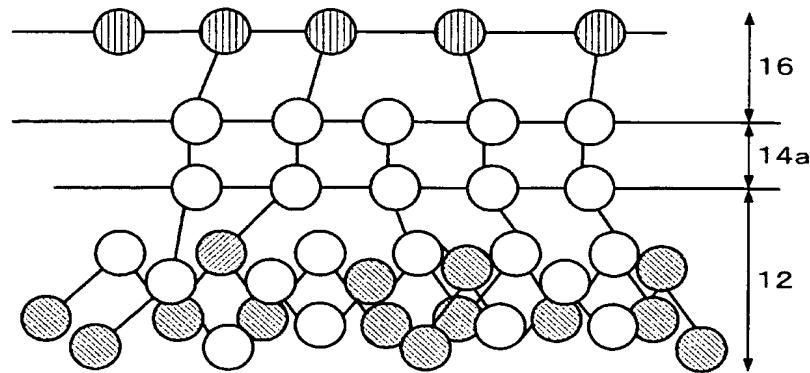


【図2】

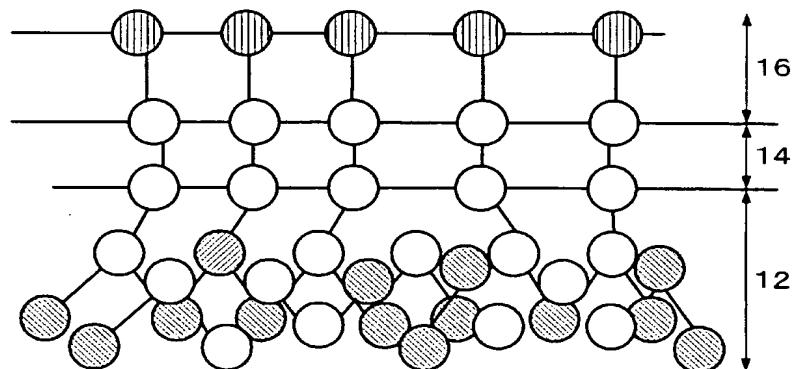


【図3】

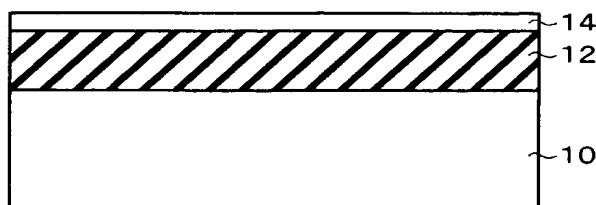
(A)



(B)



【図4】



【書類名】 要約書

【要約】

【課題】 より簡易な工程により歪みシリコン層を有する半導体装置を形成する。

【解決手段】 本発明の半導体装置の製造方法は、絶縁層12と該絶縁層12の上に設けられた単結晶シリコン層14aとを有する基板を準備する工程と、前記単結晶シリコン層14aの上に、該単結晶シリコン層14aとは格子定数が異なる歪み促進半導体層16を形成する工程と、前記単結晶シリコン層14aの格子を前記歪み促進半導体層の格子に整合させることにより、歪みシリコン層14を形成する工程と、前記歪み促進半導体層16を除去する工程と、を含む。

【選択図】 図4

【書類名】 手続補正書
【整理番号】 EP-0445101
【提出日】 平成15年 8月 1日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 71955
【補正をする者】
 【識別番号】 000002369
 【氏名又は名称】 セイコーホームズ株式会社
【代理人】
 【識別番号】 100090479
 【弁理士】
 【氏名又は名称】 井上 一
 【電話番号】 03-5397-0891
【手続補正】
 【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更
 【補正の内容】
 【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
 【氏名】 瀧澤 照夫

認定・付加情報

特許出願の番号	特願 2003-071955
受付番号	50301281062
書類名	手続補正書
担当官	笹川 友子 9482
作成日	平成 15 年 9 月 10 日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 26 番 13 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

特願2003-071955

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号

氏名 セイコーエプソン株式会社